

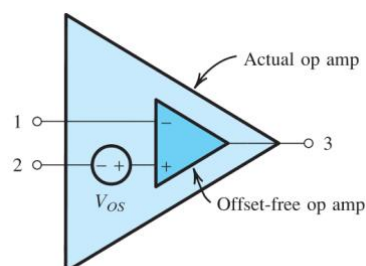
## NESAVRŠENOSTI OPERACIONOG POJAČAVAČA

### 1 Naponski *offset*

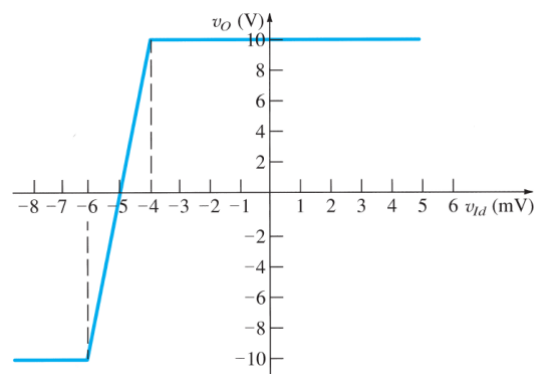
Kako su operacioni pojačavači *direct-couple* uređaji sa velikim DC pojačanjem, skloni su DC problemima. Prvi među njima je DC naponski *offset*. Kako bi se analizirao ovaj problem može se razmotriti sljedeći eksperiment: Ukoliko se ulazni terminali operacionog pojačavača povežu međusobno i uzemlje, bez obzira što je diferencijalni napon  $v_{id} = 0$ , na izlazu operacionog pojačavača postoji konačan DC napon. Preciznije, ukoliko operacioni pojačavač ima veoma veliko DC pojačanje, izlaz će biti u pozitivnom ili negativnom zasićenju. Izlaz operacionog pojačavača se može dovesti na 0 V dovođenjem odgovarajućeg DC napona između ulaznih terminala. Taj eksterni izvor balansira ulazni naponski *offset* operacionog pojačavača. Slijedi da je ulazni naponski *offset*  $V_{os}$  jednake amplitude i suprotnog znaka u odnosu na eksterni napon koji se dovodi između ulaznih terminala operacionog pojačavača kako bi se na izlazu dobilo 0 V.

Ulazni naponski *offset* nastaje kao rezultat neuparenosti komponenti ulaznog diferencijalnog stepena u sklopu operacionog pojačavača. Prevažadni cilj je utvrđivanje uticaja naponskog *offset*-a na kola i sisteme koji se baziraju na operacionim pojačavačima u *closed-loop* konfiguraciji. Operacioni pojačavači za generalnu upotrebu imaju naponski *offset* od 1 mV do 5 mV. Vrijednost naponskog *offset*-a zavisi od temperature. U specifikacijama je obično data tipična i maksimalna vrijednost naponskog *offset*-a na sobnoj temperaturi kao i temperaturni koeficijent (obično izražen u  $\mu\text{V}/^\circ\text{C}$ ). Polaritet naponskog *offset*-a se ne specificira jer neuparenost komponenti koja utiče na  $V_{os}$  se ne može predvidjeti. Različiti uzorci istog tipa operacionog pojačavača mogu imati naponski *offset* različitog polariteta.

Kako bi se analizirao uticaj naponskog *offset*-a na rad kola baziranih na operacionim pojačavačima, potrebo je koristiti model operacionog pojačavača prikazan na slici 1.1. Model se sastoji od idealnog operacionog pojačavača koji sadrži jednosmjerni naponski izvor povezan serijski za pozitivni ulazni terminal operacionog pojačavača.



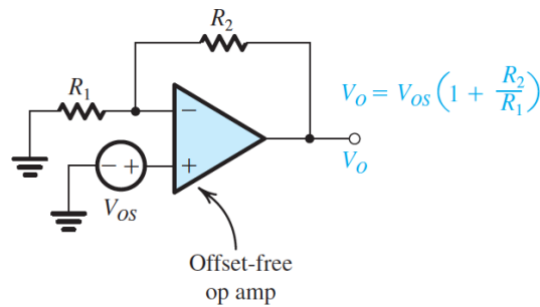
slika 1.1 Model operacionog pojačavača sa naponskim *offset*-om  $V_{os}$ .



slika 1.2 *Primjer*: Prenosna karakteristika operacionog pojačavača  $v_o = f(v_2 - v_1)$  koji ima naponski *offset*  $V_{os} = +5$  mV, *open-loop* DC pojačanje 104 i nivoe zasićenja  $\pm 10$  V;  $v_o = 10^4(v_2 + 5 \text{ mV} - v_1)$ .

Analiza uticaja naponskog *offset*-a na performanse kola baziranih na operacionim pojačavačima je jednostavna: generator ulaznog napona se kratko spaja i operacioni pojačavač se zamijeni modelom prikazanim na slici 1.1. (Eliminisanje ulaznog signala, u cilju pojednostavljenja analize, bazira se na principu superpozicije.) Prema ovoj proceduri, invertujuća i neinvertujuća konfiguracija pojačavača rezultiraju istim kolom, prikazanim na slici 1.3. Naponski *offset* na izlazu kola iznosi:

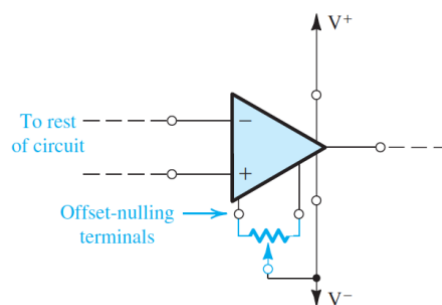
$$V_o = V_{os} \left( 1 + \frac{R_2}{R_1} \right) \quad (1.1)$$



**slika 1.3** Određivanje izlaznog DC naponskog *offset*-a uzrokovanog ulaznim naponskim *offset*-om  $V_{os}$

Ovaj izlazni DC napon može imati veliku vrijednost. Na primjer, neinvertujući pojačavač sa *closed-loop* pojačanjem od 1000, koji je realizovan pomoću operacionog pojačavača koji ima ulazni DC naponski *offset* 5 mV, imaće izlazni naponski *offset* +5 V ili – 5 V u zavisnosti od polariteta napona  $V_{os}$ , umjesto 0 V. Kada se na ulaz ovog pojačavača dovede signal koji treba pojačati, dobijeni napon na izlazu će se superponirati sa izlaznim naponskim *offset*-om od 5 V. Slijedi da će korisni opseg izlaznog napona bit značajno redukovan. Ukoliko se na ulaz dovodi jednosmjerni napon, ne može se znati da li je izlazni napon posljedica ulaznog napona koji je potrebno pojačati, ili napona  $V_{os}$ .

Neki operacioni pojačavači sadrže dva dodatna terminala na koje se može povezati specifično kolo kako bi se izlazni naponski *offset* uzrokovan naponom  $V_{os}$  doveo na nulu, slika 1.4. Između terminala za poništavanje *offset*-a povezuje se potencijometar čiji je klizač povezan za negativno napajanje operacionog pojačavača. Važno je napomenuti da iako je moguće svesti naponski *offset* na nulu, ostaje problem usljed varijacija napona  $V_{os}$  sa temperaturom.



**slika 1.4** Izlazni DC naponski *offset* se može dovesti na nulu povezivanjem potencijometra između *offset-nulling* terminala. Klizač potencijometra se povezuje za napon negativnog napajanja operacionog pojačavača.

Jedan od načina za prevazilaženje problema sa *offset*-om je kapacitivni *coupling* pojačavača, slika 1.5 (a). Ovo je naravno moguće jedino u slučaju kada *closed-loop* pojačavač nije namijenjen za pojačavanje niskofrekventnih ili DC signala. Ekvivalentno kolo za određivanje DC izlaznog naponskog *offset*-a uzrokovanog ulaznim naponskim *offset*-om operacionog pojačavača  $V_{os}$  prikazano je na slici 1.5 (b). Izlazni napon će biti jednak upravo naponskom *offset*-u  $V_{os}$ , a ne  $(1+R_2/R_1)V_{os}$  što je bio slučaj bez kapacitivnog *coupling*-a. *Coupling* kondenzator  $C$  sa otpornošću  $R_1$  formira visoko-propusni filter sa graničnom učestanošću  $\omega=1/R_1C$ .



**slika 1.5 (a)** Kapacitivni *coupling* invertujućeg pojačavača; **(b)** Ekvivalentno kolo za određivanje DC izlaznog naponskog *offset*-a invertujućeg pojačavača.

## 2 Ulazna struja polarizacije i strujni *offset*

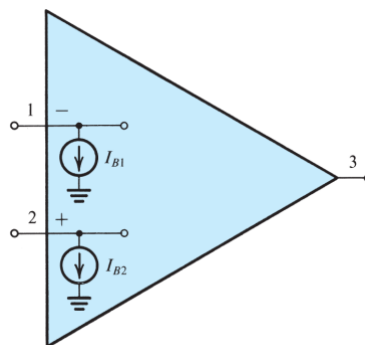
Drugi DC problem kod operacionih pojačavača a koji se odnosi na ulaznu struju polarizacije i strujni *offset* je ilustrovan na slici 2.1. Struja ulaznih terminala operacionog pojačavača, ukoliko je u pitanju ulazni diferencijalni par od BJT-ova, označava se kao ulazna struja polarizacije. Na slici 2.1 ove dvije struje su predstavljene preko dva strujna izvora,  $I_{B1}$  i  $I_{B2}$ , koji su vezani za ulazne terminale operacionog pojačavača. Proizvođači operacionih pojačavača obično specificiraju srednju vrijednost polarizacionih struja  $I_{B1}$  i  $I_{B2}$ , kao i njihovu očekivanu razliku. Srednja vrijednost  $I_B$  se označava kao ulazna struja polarizacije:

$$I_B = \frac{I_{B1} + I_{B2}}{2} \quad (2.1)$$

dok se razlika polarizacionih struja  $I_{B1}$  i  $I_{B2}$  označava kao ulazni strujni *offset*:

$$I_{OS} = |I_{B1} - I_{B2}| \quad (2.2)$$

Tipična vrijednosti ulazne struje polarizacije i strujnog *offset*-a za operacione pojačavače generalne primjene u bipolarnoj tehnologiji su  $I_B = 100 \text{ nA}$  i  $I_{OS} = 10 \text{ nA}$ .



**slika 2.1** Ulazne struje polarizacije su predstavljene preko dva strujna izvora  $I_{B1}$  i  $I_{B2}$

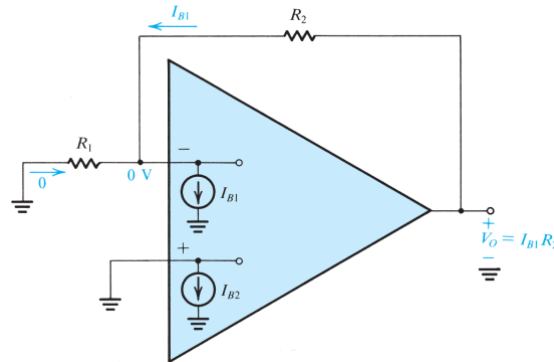
Potrebno je odrediti DC napon na izlazu *closed-loop* pojačavača koji je uzrokovan ulaznim strujama polarizacije. U tom cilju potrebno je kratko spojiti izvor signala na ulazu pojačavača što rezultira kolom prikazanim na slici 2.2 za invertujuću i neinvertujuću konfiguraciju. Izlazni DC napon iznosi:

$$V_O = R_2 I_{B1} \cong R_2 I_B \quad (2.3)$$

Na osnovu prethodne relacije, očigledno je da vrijednost otpornosti  $R_2$  ne smije biti velika. Na slici 2.3 je prikazana tehnika za redukovanje izlaznog naponskog DC *offset*-a uzrokovanog ulaznim strujama polarizacije. Metoda se sastoji u uvođenju otpornosti  $R_3$  koji se veže za neinvertujući priključak. Sa

aspekta ulaznog signala,  $R_3$  ima zanemariv uticaj. Određivanje odgovarajuće vrijednosti otpornosti  $R_3$  je prikazano na slici 2.3. Izlazni napon je dat izrazom:

$$V_O = -R_3 I_{B2} + R_2 \left( I_{B1} - \frac{R_3}{R_1} I_{B2} \right) \quad (2.4)$$



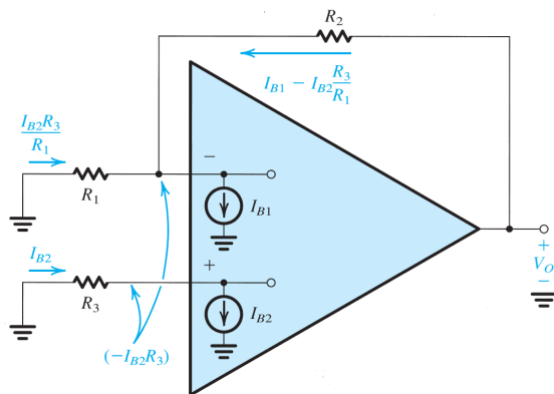
**slika 2.2** Analiza *closed-loop* pojačavača, uzimajući u obzir ulazne struje polarizacije

Ukoliko se, radi jednostavnosti, posmatra slučaj kada je  $I_{B1}=I_{B2}=I_B$ , izlazni napon je:

$$V_O = \left[ R_2 - R_3 \left( 1 + \frac{R_2}{R_1} \right) \right] I_B \quad (2.5)$$

Slijedi da se izlazni naponski *offset*  $V_o$  može svesti na nulu odabirom otpornosti  $R_3$  kao:

$$R_3 = \frac{R_1 R_2}{R_1 + R_2} \quad (2.6)$$



**slika 2.3** Redukovanje uticaja ulaznih struja polarizacije na izlazni naponski *offset*, uvođenjem otpornosti  $R_3$

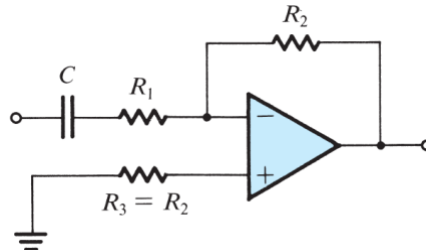
Ukoliko se  $R_3$  izabere prema relaciji (2.6), može se odrediti uticaj konačnog ulaznog strujnog *offset*-a  $I_{OS}$ . Struje polarizacije su, na osnovu relacija (2.1) i (2.2) date izrazima:

$$\begin{aligned} I_{B1} &= I_B + \frac{I_{OS}}{2} \\ I_{B2} &= I_B - \frac{I_{OS}}{2} \end{aligned} \quad (2.7)$$

Na osnovu relacija (2.4) i (2.7), za izlazni naponski DC *offset* se dobija:

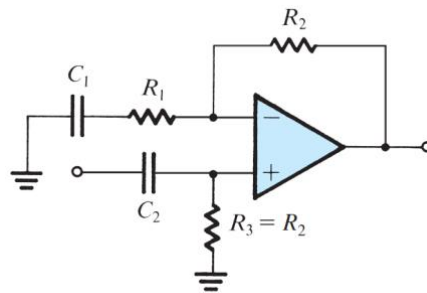
$$V_O = R_2 I_{OS} \quad (2.8)$$

Može se zaključiti da je u cilju minimizacije uticaja ulaznih struja polarizacije potrebno za pozitivni ulazni priključak vezati otpornost koja je jednaka ekvivalentnoj DC otpornosti koju “vidi” invertujući priključak. Naglašeno je da je u pitanju DC otpornost, što znači da u slučaju kapacitivnog *coupling-a* pojačavača, potrebno odabrati  $R_3 = R_2$ , kako je prikazano na slici 2.4.



**slika 2.4** Kod *AC-coupled* pojačavača, otpornost koju vidi invertujući terminal operacionog pojačavača je  $R_2$

Neophodno je uvijek obezbijediti kontinualnu DC putanju između svakog od ulaznih terminala operacionog pojačavača i mase, bez obzira na to koliko je polarizaciona struja mala. Iz tog razloga, *AC-coupled* neinvertujući pojačavač prikazan na slici 2.5 mora da sadrži otpornost  $R_3$  prema masi. Uvođenje otpornosti  $R_3$  značajno smanjuje ulaznu otpornost *closed-loop* pojačavača.



**slika 2.5** Pojačavač ne bi radio bez otpornosti  $R_3$  koja obezbjeđuje putanju prema masi

## DODATAK

### A Diferencijalni i *common-mode* signali

Ulazni diferencijalni signal  $v_{Id}$  predstavlja razliku ulaznih signala  $v_1$  i  $v_2$ :

$$v_{Id} = v_2 - v_1 \quad (A.1)$$

*Common-mode* ulazni signal predstavlja srednju vrijednost ulaznih signala  $v_1$  i  $v_2$ :

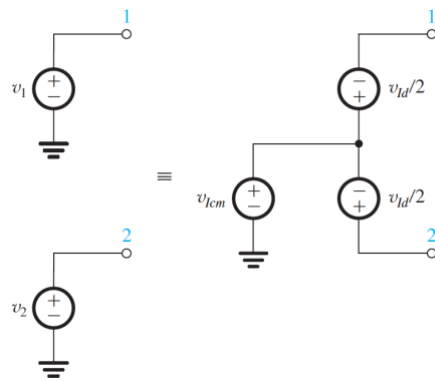
$$v_{Icm} = \frac{v_1 + v_2}{2} \quad (A.2)$$

Na osnovu relacija (A.1) i (A.2), ulazni signali  $v_1$  i  $v_2$  se mogu zapisati kao:

$$v_1 = v_{Icm} - \frac{v_{Id}}{2} \quad (A.3)$$

$$v_2 = v_{Icm} + \frac{v_{Id}}{2} \quad (A.4)$$

Prethodne relacije su ilustrovane slikom A.1.



**slika A.1** Predstavljanje ulaznih signala  $v_1$  i  $v_2$  u funkciji njihovih diferencijalnih i *common-mode* komponenti

## Literatura

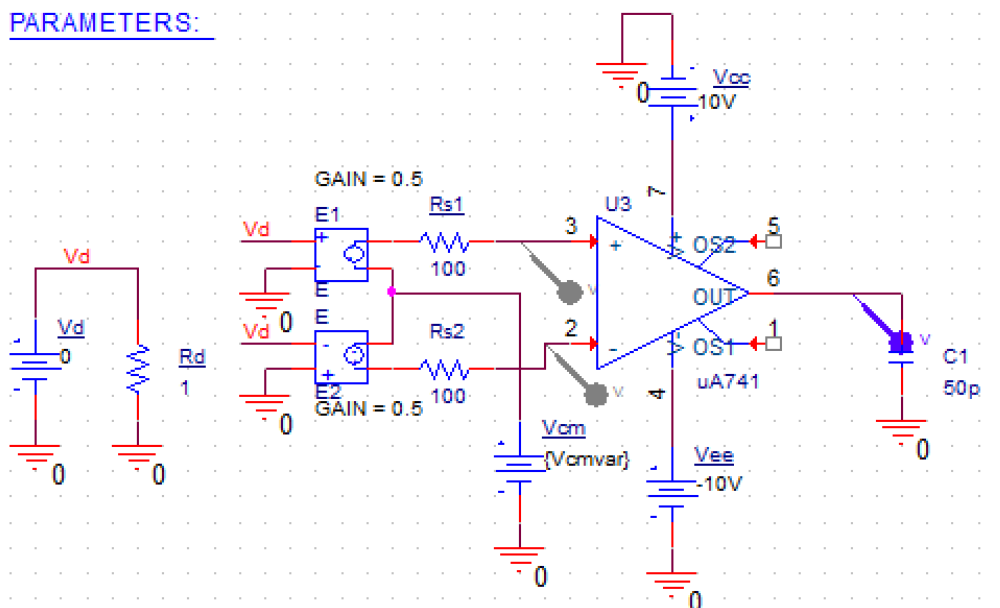
- A. S. Sedra, K. C. Smith, *Microelectronic Circuits*, 7<sup>th</sup> edition, Oxford University Press, 2015.  
 B. Razavi, *Fundamentals of Microelectronics*, 2<sup>nd</sup> edition, JohnWiley & Sons, 2014

## VJEŽBA

### 1 DC karakteristike operacionog pojačavača

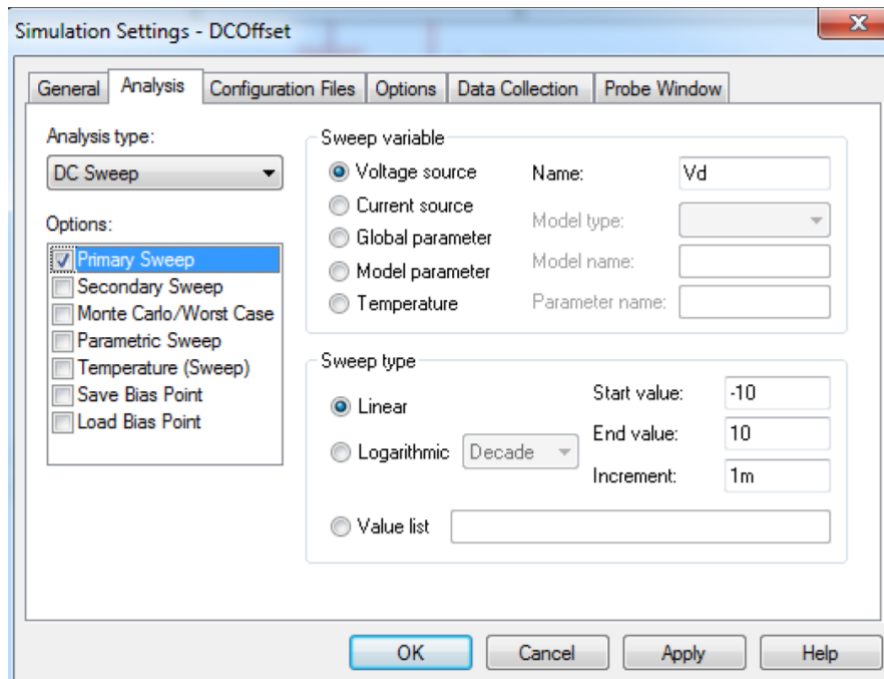
- Izvršiti simulaciju DC prenosne karakteristike operacionog pojačavača uA741 u funkciji ulaznog diferencijalnog napona u *open-loop* konfiguraciji, za opseg ulaznog diferencijalnog napona  $-10\text{ V} \leq V_d \leq 10\text{ V}$ , sa korakom  $\Delta V_d = 1\text{ mV}$ . *Common-mode* ulazni napon je jednak nuli. Napon napajanja kola iznosi  $\pm 10\text{ V}$ .
  - Kreirati novi projekat: *File* → *New Project*.
  - Odabrati lokaciju za čuvanje projekta, kreirati odgovarajući direktorijum i zadati ime projekta.
  - Odabrati opciju *Create a blank project*.
  - *Place* → *Part*.
  - Iz biblioteke EVAL, izabrati operacioni pojačavač uA741. Ukoliko je potrebno, najprije dodati biblioteku EVAL iz liste PSpice biblioteka.
  - Iz biblioteke SOURCE izabrati jednosmjerni naponski izvor VDC.
  - Iz biblioteke ANALOG izabrati naponom kontrolisani naponski izvor E.
  - Iz biblioteke SPECIAL izabrati komponentu PARAM.
  - Iz biblioteke ANALOG izabrati otpornik R.
  - Iz biblioteke ANALOG izabrati kondenzator C.
  - Kreirati kolo kako je prikazano na slici 1.1.
  - Definirati parametar (dvoklik na PARAM, *New Property*) sa imenom  $V_{cmvar}$  i dodijeliti mu vrijednost 0 V.
  - *PSpice* → *New Simulation Profile*. Izvršiti podešavanja kako je prikazano na slici 1.2.
  - *PSpice* → *Run*.
  - Na izlaz kola vezati naponski marker (*PSpice* → *Markers* → *Voltage Level*).

#### PARAMETERS:

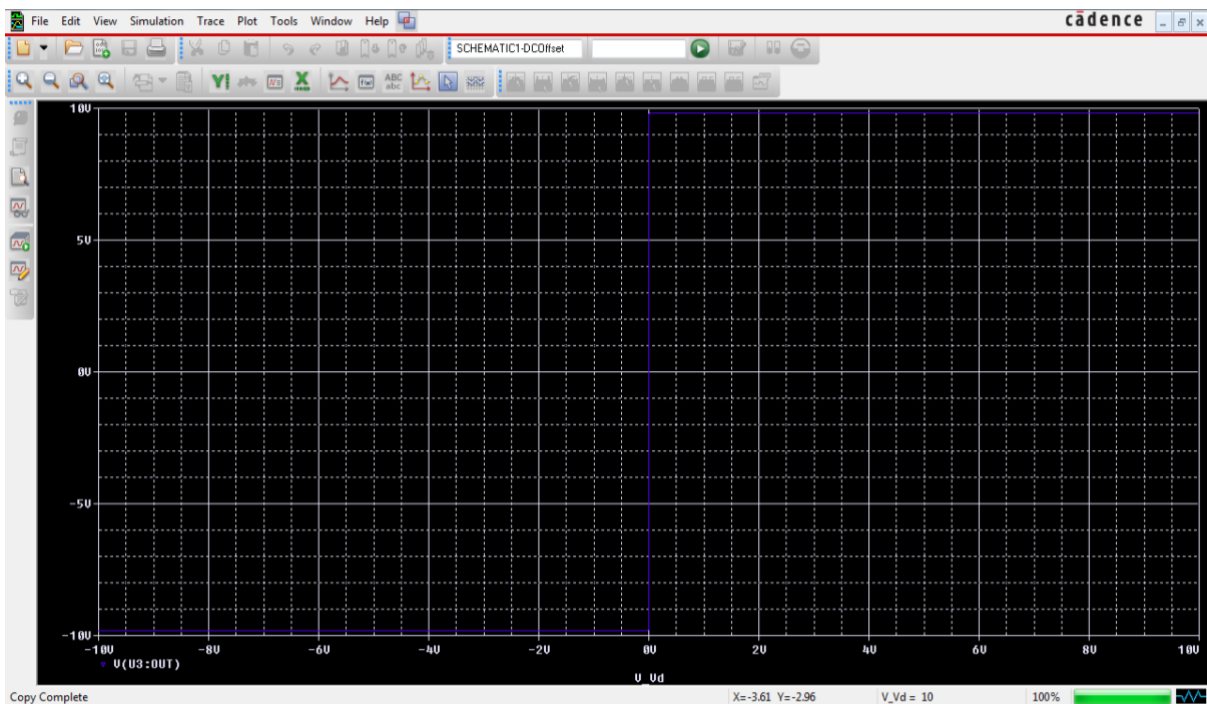


slika 1.1

Po izvršenju simulacije, dobija se zavisnost izlaznog napona od ulaznog diferencijalnog napona operacionog pojačavača u *open-loop* konfiguraciji, prikazana na slici 1.3.



slika 1.2



slika 1.3

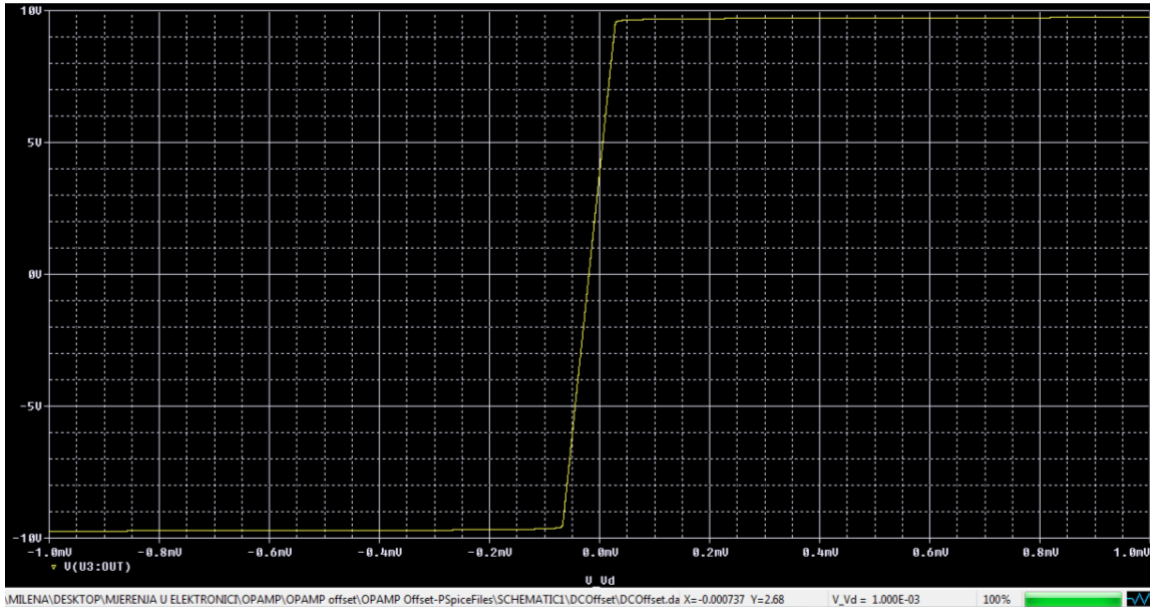
- Korigovati opseg ulaznog diferencijalnog napona:  $-1 \text{ mV} \leq V_d \leq 1 \text{ mV}$ , sa korakom  $\Delta V_d = 0.1 \text{ } \mu\text{V}$ . Pokrenuti simulaciju.

Rezultat simulacije je prikazan na slici 1.4. Prikazana karakteristika je linearna za opseg ulaznog diferencijalnog napona od oko  $-65 \text{ } \mu\text{V}$  od oko  $25 \text{ } \mu\text{V}$ , što izlazni napon ograničava na opseg od oko



- 8.83 V do oko 9.65 V. Iz prethodnog slijedi da se DC pojačanje operacionog pojačavača može procijeniti kao:

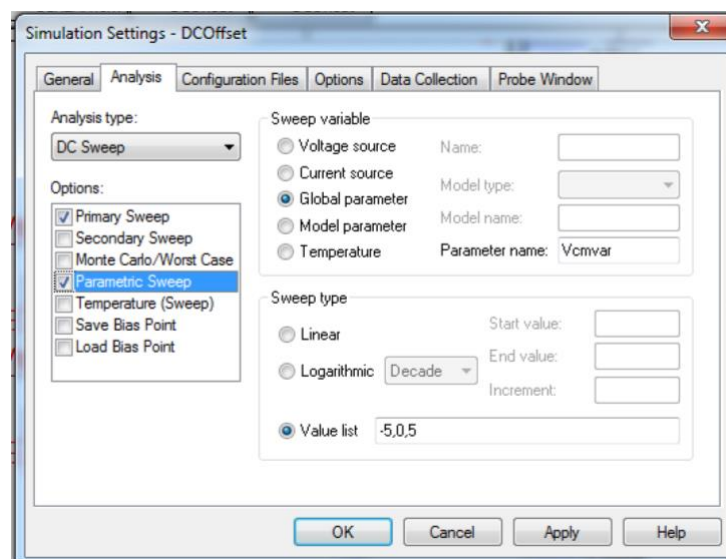
$$A_0 = \frac{9.65 \text{ V} - (-8.83 \text{ V})}{25 \mu\text{V} - (-65 \mu\text{V})} = 205.33 \frac{\text{kV}}{\text{V}}$$



slika 1.4

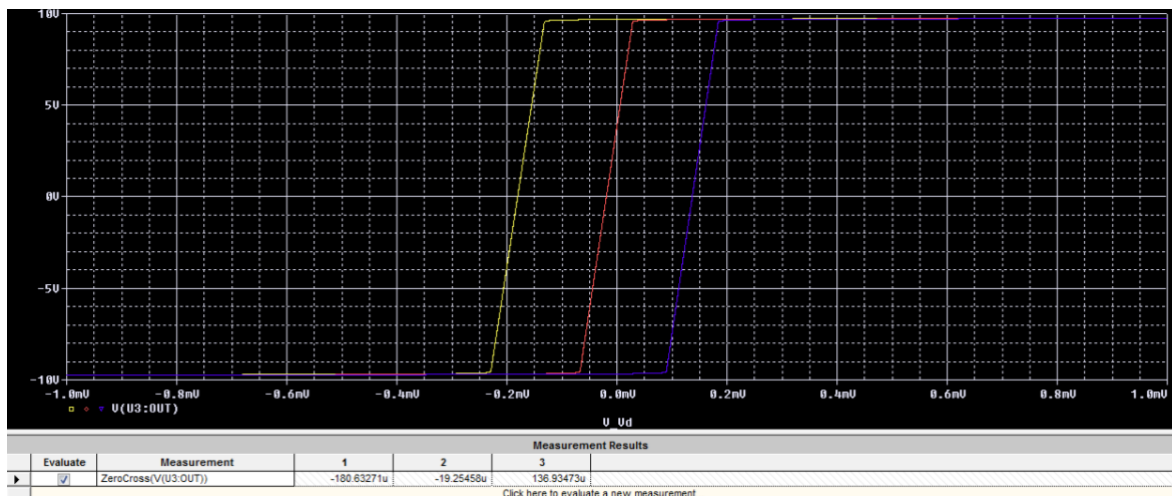
Takođe se može uočiti da DC prenosna karakteristika siječe 0 V izlaznog napona za ulazni diferencijalni napon od -19.25  $\mu\text{V}$  (*Trace*  $\rightarrow$  *Evaluate Measurement, ZeroCross*), što znači da je naponski *offset* operacionog pojačavača +19.25  $\mu\text{V}$ . Ovo je sistematski *offset* i ne uključuje uticaj neuparenosti komponenti koji je značajan.

- Izvršiti parametarsku DC analizu gdje je parametar *common-mode* ulazni napon  $V_{cm}$ .
  - Izmijeniti simulacioni profil (*PSpice*  $\rightarrow$  *Edit Simulation Profile*) u skladu sa podešavanjima prikazanim na slici 1.5.



slika 1.5

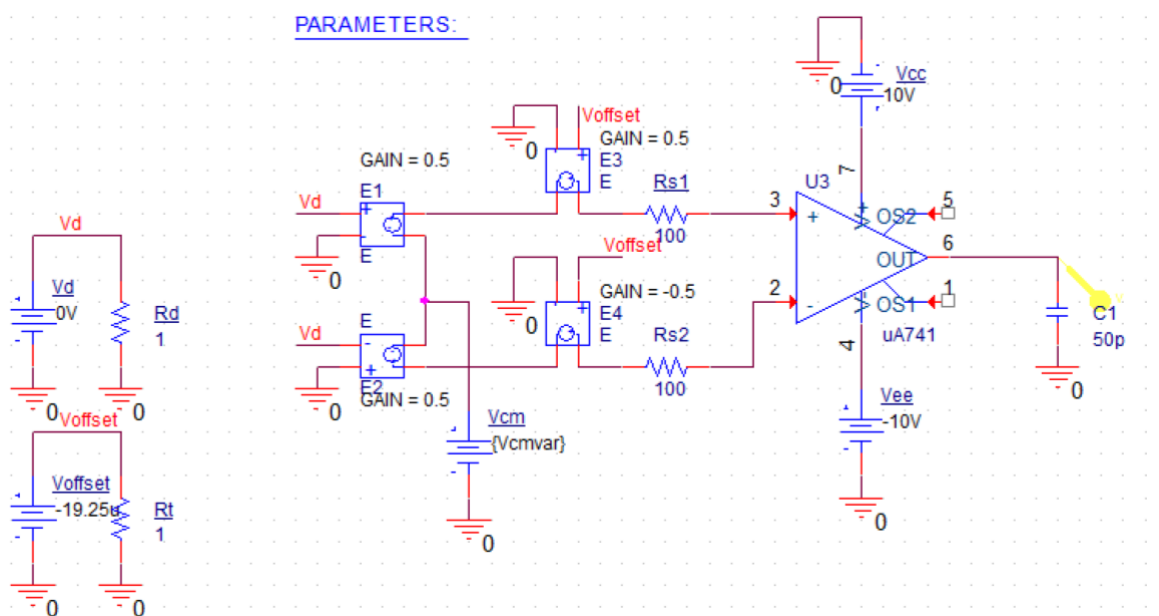
Rezultat simulacije prikazan je na slici 1.6. Kako se može primijetiti, naponski *offset* se značajno razlikuje za različite vrijednosti ulaznog *common-mode* napona. Za  $V_{cm} = -5$  V, naponski *offset* iznosi  $180.63 \mu\text{V}$ , za  $V_{cm} = 0$  V, naponski *offset* iznosi  $19.25 \mu\text{V}$ , dok za  $V_{cm} = 5$  V, naponski *offset* iznosi  $-136.93 \mu\text{V}$ . Bilo koja promjena u kolu može dovesti do promjene naponskog *offset*-a.



slika 1.6

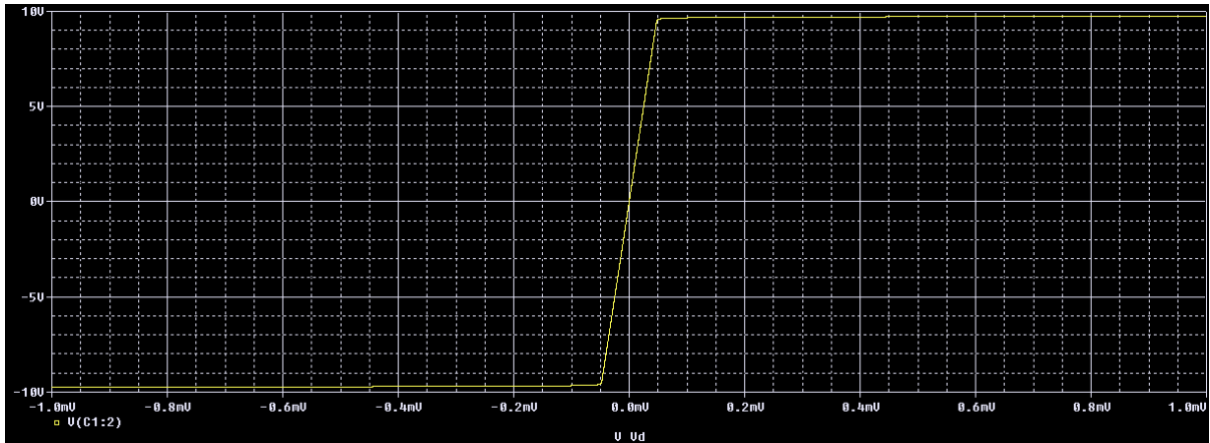
Ukoliko se želi ostvariti polarizacija operacionog pojačavača na način da se poništi naponski *offset*, to se može učiniti uvođenjem DC napona od  $-19.25 \mu\text{V}$  između pozitivnog i negativnog ulaznog terminala, za  $V_{cm} = 0$  V, slika 1.7.

Rezultati simulacije su prikazani na slici 1.8.

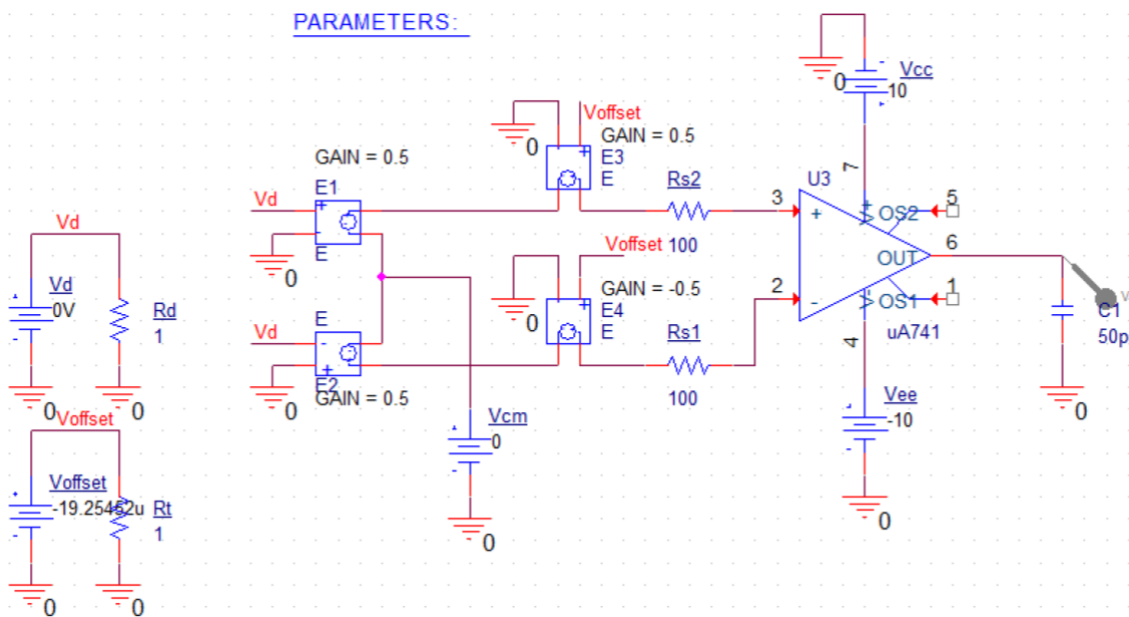


slika 1.7

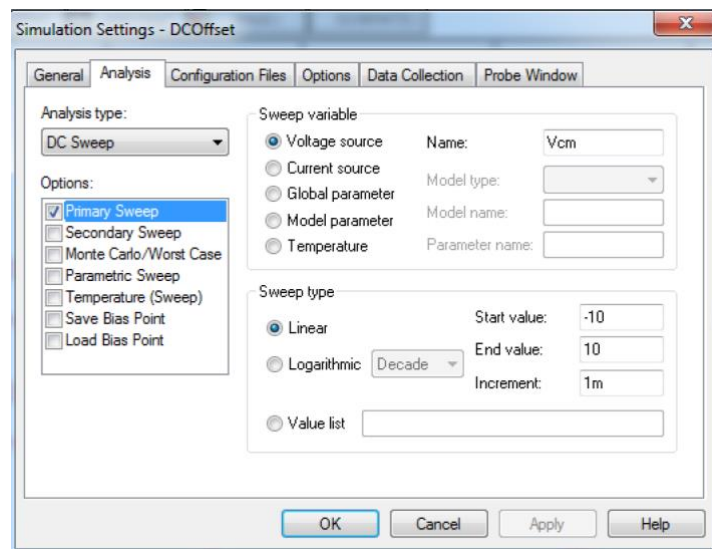
Kako bi se odredio ulazni *common-mode* opseg, može se izvršiti simulacija zavisnosti izlaznog napona operacionog pojačavača od ulaznog *common-mode* napona, pri čemu se ulazni *common-mode* napon mijenja u granicama napona napajanja. Odgovarajuće kolo i podešavanja su prikazani na slikama 1.9 i 1.10.



slika 1.8

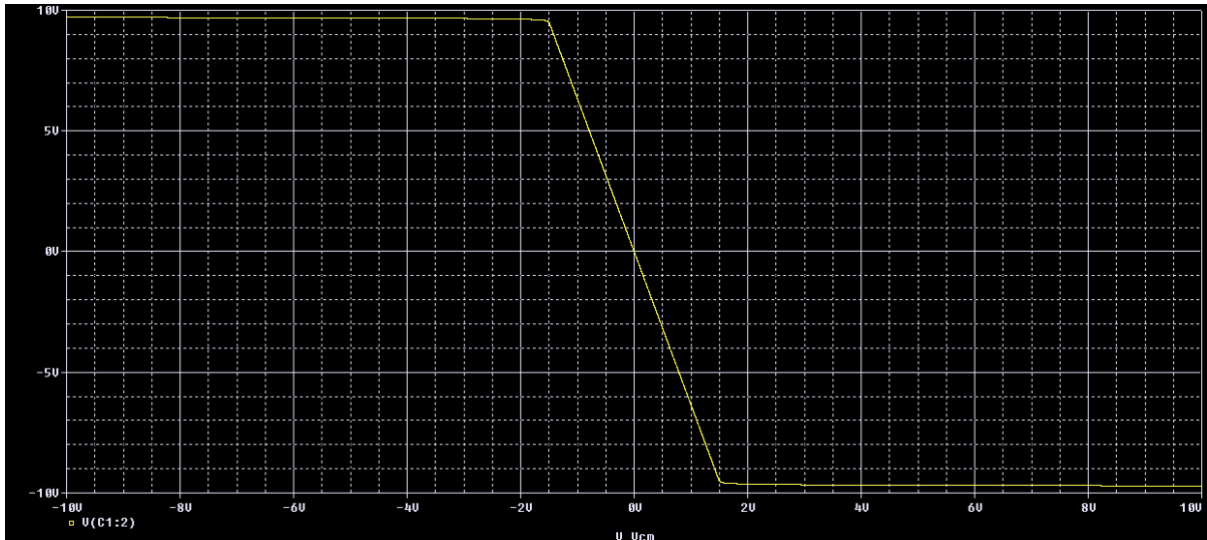


slika 1.9



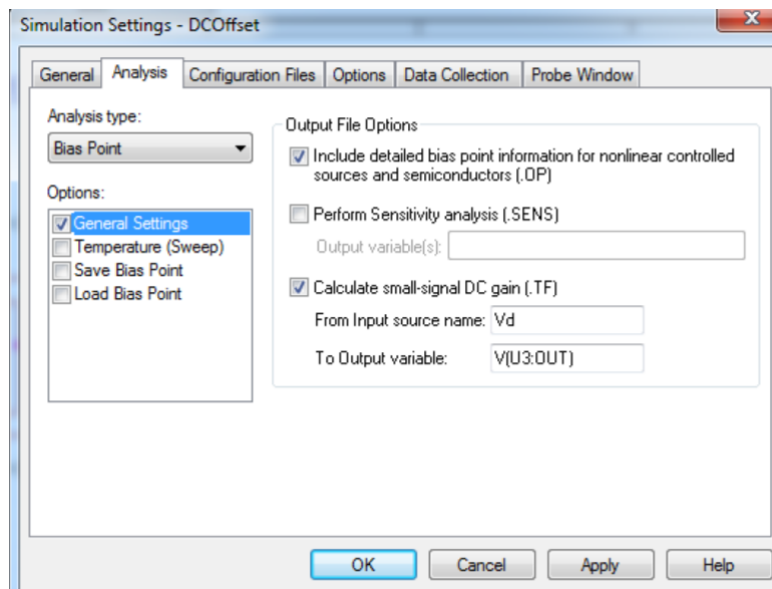
slika 1.10

Rezultat simulacije prikazan je na slici 1.11. Opseg ulaznog *common-mode* napona za koji je prenosna karakteristika linearna je od oko -1.4 V do oko 1.4 V, što odgovara opsegu izlaznog napona od -8.86 V do 8.86 V. Slijedi da se *common-mode* pojačanje operacionog pojačavača u linearnoj oblasti može procijeniti kao  $(8.86 \text{ V} - (-8.86 \text{ V})) / (-1.4 \text{ V} - 1.4 \text{ V}) = -6.33 \text{ V/V}$ .



slika 1.11

- Odrediti ulaznu struju polarizacije  $I_B$ , ulazni strujni *offset*  $I_{os}$  i disipaciju snage  $P_{diss}$  za kolo prikazano na slici 1.9.
  - Izmijeniti simulacioni profil (*PSpice* → *Edit Simulation Profile*) u skladu sa podešavanjima prikazanim na slici 1.12.



slika 1.12

- Pokrenuti simulaciju (*PSpice* → *Run*).
- Otvoriti izlazni simulacioni fajl (*PSpice* → *View Output File*).

Iz izlaznog simulacionog fajla se može pročitati statička disipacija snage koja iznosi 22.3 mW:

TOTAL POWER DISSIPATION 2.23E-02 WATTS

Takođe je moguće pročitati ulaznu struju polarizacije, kao i ulazni strujni *offset*:

\*\*\*\* VOLTAGE-CONTROLLED VOLTAGE SOURCES

NAME	E_E3	E_E4	E_E2	E_E1	X_U3.egnd
V-SOURCE	-9.627E-06	9.627E-06	0.000E+00	0.000E+00	0.000E+00
I-SOURCE	-7.973E-08	-7.977E-08	-7.977E-08	-7.973E-08	-4.607E-08

Naime, polarizacione struje protiču kroz naponom kontrolisane naponske izvore E1 i E3, odnosno E2 i E4. Slijedi da je ulazna struja polarizacije:

$$I_B = \frac{-79.73 \text{ nA} + (-79.77 \text{ nA})}{2} = 79.75 \text{ nA}$$

dok je ulazni strujni *offset*:

$$I_{OS} = |-79.73 \text{ nA} - (-79.77 \text{ nA})| = 0.04 \text{ nA}$$

Naravno, izračunati strujni *offset* se odnosi samo na sistematski *offset*.

Osim DC karakteristika, iz izlaznog simulacionog fajla se može pročitati i *small-signal* naponsko diferencijalno pojačanje i *small-signal* izlazna otpornost operacionog pojačavača:

```
1 **** SMALL-SIGNAL CHARACTERISTICS
V(N02192)/V_Vd = 1.996E+05
INPUT RESISTANCE AT V_Vd = 1.000E+00
OUTPUT RESISTANCE AT V(N02192) = 1.520E+02
```

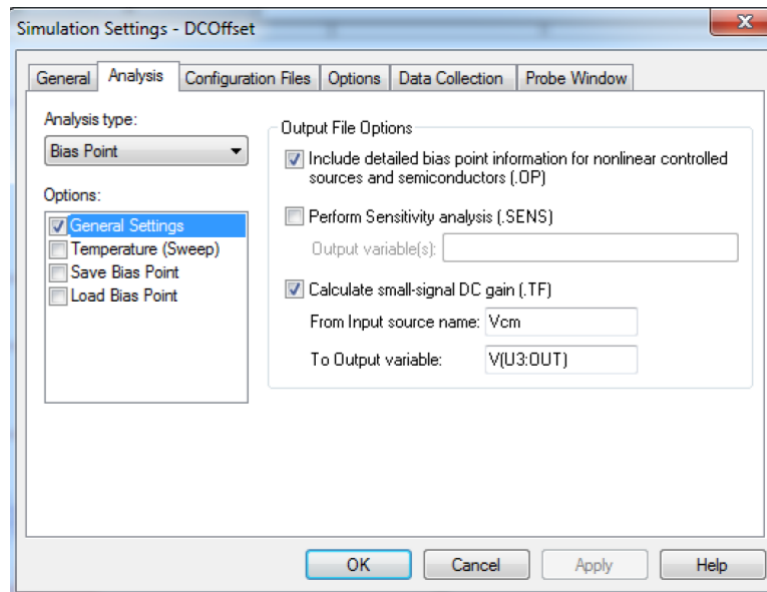
*Small-signal* diferencijalno naponsko pojačanje iznosi 199.6 kV/V što je približno vrijednosti koja je prethodno procijenjena, a koja iznosi 205.33 kV/V. Ulazna otpornost prikazana ovdje se odnosi na otpornik od 1 Ω koji je vezan za naponski izvor  $V_d$ , a ne na ulaznu otpornost operacionog pojačavača. Izlazna otpornost operacionog pojačavača ima vrijednost od 152 Ω.

Izmijenom simulacionog profila (*PSpice* → *Edit Simulation Profile*) u skladu sa podešavanjima prikazanim na slici 1.13, može se dobiti *small-signal common-mode* naponsko pojačanje, kao i *small-signal common-mode* ulazna i izlazna otpornost:

```
1 **** SMALL-SIGNAL CHARACTERISTICS
V(N02192)/V_Vcm = -6.336E+00
INPUT RESISTANCE AT V_Vcm = 1.247E+09
OUTPUT RESISTANCE AT V(N02192) = 1.520E+02
```

*Small-signal common-mode* naponsko pojačanje iznosi -6.336 V/V što je približno vrijednosti koja je prethodno procijenjena, a koja iznosi -6.33 kV/V. *Small-signal common-mode* ulazna otpornost iznosi 1.247 GΩ. Izlazna otpornost operacionog pojačavača ima vrijednost od 152 Ω, kako je i očekivano.

Ukoliko se podijeli vrijednost *small-signal* diferencijalnog naponskog pojačanja od 199.6 kV/V sa vrijednošću *small-signal common-mode* naponskog pojačanja od 6.336 V/V, dobija se 89.96 dB za CMRR (*Common-Mode Rejection Ratio*) operacionog pojačavača



slika 1.13

## Literatura

- A. S. Sedra, K. C. Smith, *Microelectronic Circuits*, 7<sup>th</sup> edition, Oxford University Press, 2015.  
G. W. Roberts, A. S. Sedra, *Spice*, 2<sup>nd</sup> edition, Oxford University Press, 1997.